

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-232655

(43) 公開日 平成10年(1998) 9月2日

(51) Int.Cl.⁶

識別記号

F I

G 0 9 G 3/36

G 0 9 G 3/36

G 0 2 F 1/133

5 0 5

G 0 2 F 1/133

5 0 5

審査請求 未請求 請求項の数3 F D (全 6 頁)

(21) 出願番号

特願平9-53960

(22) 出願日

平成9年(1997) 2月21日

(71) 出願人 000231073

日本航空電子工業株式会社

東京都渋谷区道玄坂1丁目21番2号

(72) 発明者 野々村 香一

東京都渋谷区道玄坂1丁目21番2号 日本

航空電子工業株式会社内

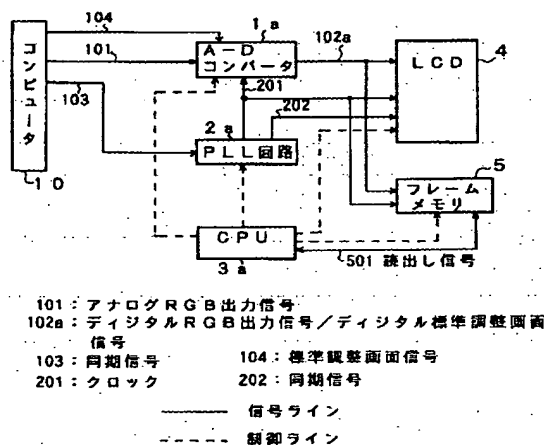
(74) 代理人 弁理士 八幡 義博

(54) 【発明の名称】 LCD画面調整方式

(57) 【要約】

【課題】 LCD に表示するパソコン出力に対する画質調整の自動化による改善。

【解決手段】 コンピュータ10からアナログRGB 出力信号101 と同期信号103 のほか、LCD 画面の画質調整用の標準調整画面信号104 が送出される。A-D コンバータ1a はCPU3a の制御の下に、PLL 回路2a から出力するクロック201 で入力にデジタル変換を施し、変換された出力をLCD4に表示せしめるとともに変換出力をフレームメモリ5にファイルする。標準調整画面信号104 はデジタル変換によって、例えば1,0,1,0,……というような所定の変換データ列としてフレームメモリ5にファイルされる。クロック201 によるA-D 変換のタイミングずれがある場合には変換データ列における符号配列が変わるので、これが正常な状態になるようにCPU3a によってPLL 回路2aを制御して画質調整を行う。



【特許請求の範囲】

【請求項1】 パーソナルコンピュータのカラー表示用のアナログRGB出力信号をデジタル化し、同期信号に基づいて液晶ディスプレイに表示したLCD画面に生ずる前記デジタル化におけるタイミングずれに起因して生起するLCD画面のにじみ、ちらつき等不具合を自動的に補正するLCD画面調整方式であって、前記アナログRGB信号に代えて前記LCD画面に生起する前記不具合の補正に供するアナログ形式の調整画面信号を専用ソフトウェアにより随時出力可能なパーソナルコンピュータと、外部から提供されるクロックで駆動し前記アナログRGB出力信号もしくは前記調整画面信号をデジタル化して前記液晶ディスプレイに出力するA-Dコンバータと、前記同期信号のタイミングで前記クロックを発生して前記A-Dコンバータ並びに前記液晶ディスプレイに供給するとともに、発生した前記クロックに基づいて前記液晶ディスプレイにおける画面表示のタイミングを設定する同期信号を出力するPLL回路と、前記PLL回路の出力するクロックにより前記A-Dコンバータの出力をフレーム単位かつR、G及びB各成分ごとに格納するフレームメモリと、LCD画面を表示するLCDと、制御プログラムを内蔵し全体の動作シーケンスを制御するCPUとを備えることを特徴とするLCD画面調整方式。

【請求項2】 パーソナルコンピュータの送出する前記調整画面信号が、白と黒の表示領域をそれぞれ前記液晶ディスプレイの1ドット対応で交互に形成する縦縞模様として表現したものであり、かつ前記A-Dコンバータによるデジタル変換で前記縦縞模様の白と黒とがそれぞれ、2値の論理値「1」と「0」とに変換されるものであることを特徴とする請求項1記載のLCD画面調整方式。

【請求項3】 前記フレームメモリに格納される前記A-Dコンバータの出力のR、G及びB成分の含む信号の強弱と、前記LCD上の白色表示とに基づいて、白色表示において等しかるべき前記R、G及びB成分のレベルを同一のものに補正するホワイトバランス調整を施すことを可能としたことを特徴とする請求項1または2記載のLCD画面調整方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はLCD画面調整方式に関し、特にパーソナルコンピュータ（以後パソコンと略称する）等の可搬・携帯型電子計算機のカラー表示画面として供するLCD（Liquid Crystal Display、液晶ディスプレイ）の表示画面における「にじみ」、「ちらつき」等の不具合を自動的かつ正確に調整することを可能としたLCD画面調整方式に関する。

【0002】

【従来の技術】いわゆるデスクトップ形式の可搬型や、

ラップトップ形式などの携帯型で運用されるパソコンの表示画面ではカラー表示化が進み、かつカラー表示デバイスとしてはLCDが多用されている。

【0003】LCDに表示すべき入力信号は、パソコン本体のアナログRGB（Red Green Blue）出力信号を所定のビット数でA-D変換したものが利用される。この場合、アナログRGB出力信号をLCD入力としてのデジタルRGB出力信号に変換すべく、パソコン本体とLCDとの間に介在せしめるものとしてLCD入力生成方式が存在する。

【0004】アナログRGB出力信号は、図6のaに示すように、LCDの水平方向の走査（時間（t））に対して連続的に電圧レベル（電圧（v））が表示画像の内容に対応して変化する特性を有し、電圧（v）が高い程LCDにおける表示輝度の状態が明るくなる。

【0005】図6に、状態として示す明は表示輝度が明るく、暗は表示輝度が暗い部分であり、また中間は凡そ明と暗の中間の表示輝度状態となる。図6に示すアナログRGB出力信号aは、所定の量子化ステップ、通常はRGBそれぞれ4～6ビットで表示輝度が設定される。4～6ビットのいずれを指定するかは、パソコンの構成規模等に基づいて決定される。

【0006】図7は、図6に示すアナログRGB出力信号aを4ビットの量子化ステップでデジタル化した場合のLCD入力信号bを示す。図7は、図6のアナログRGB出力信号aの明状態が、2値の論理値の「1」レベルとしてビット位0（MSB）ないしビット位3（LSB）が指定され、暗状態はビット位0からビット位3までがすべて2値の論理値「0」レベルとして指定され、中間状態ではMSBのビット位0のみが論理値「1」レベルとして指定される割当例を示している。

【0007】このように、従来のLCD入力生成回路では、パソコンの出力するアナログRGB出力信号を所定の割当ビット数でA-D変換してLCDの入力としていた。このA-D変換には、デジタル変換処理を実行するためのクロックが必要となるが、アナログRGB出力信号それ自体はクロックを持ってないので、このクロックを生成する回路が必要となり、さらに生成したクロックとRGB出力信号との同期を確保することも必要となり、このためPLL（Phase Locked Loop）回路が利用されている。

【0008】図5は従来のLCD入力生成回路の構成を示すブロック図であり、パソコン本体から提供されるアナログRGB出力信号101をA-D変換してデジタルRGB出力信号102とするA-Dコンバータ1と、A-Dコンバータ1のA-D変換に必要なクロック201と、LCD4に表示すべきデジタルRGB出力信号102の表示同期を確保するための同期信号202とを送出するPLL回路2と、所定の制御プログラムを内蔵し、PLL回路2を含む全体の動作を制御するCPU3と、LCD

4とを備え、図1には尚パソコンとしてのコンピュータ10を併記して示す。

【0009】次に、従来のLCD入力生成回路の動作について説明する。PLL回路2は、位相比較器と電圧制御発振器(VCO)とを備え、VCOを位相比較器の位相比較出力で制御することにより所望の周波数のクロック201と、クロック201を所定の減速比で減速した周波数を持つ同期信号202とを出力する。

【0010】PLL回路2での位相比較は、コンピュータ10から提供されるアナログRGB出力信号101の水平及び垂直同期信号としての同期信号103を入力し、例えば水平同期信号を利用する同期信号103とVCOの発振出力との位相差を求めることによって行われる。

【0011】また、LCD4上に画面を表示する場合の同期確保用の同期信号202は、クロック201の減速処理に基づいて生成する。こうして、LCD4上にデジタルRGB出力信号102を表示している。

【0012】

【発明が解決しようとする課題】しかしながら、上述した従来のLCD入力生成回路でLCD上に表示した画面には、A-Dコンバータ1におけるデジタル変換を処理するクロック201の最適値からのずれによってもたらされる画面表示のタイミングのずれによる画面の「にじみ」や「ちらつき」等の不具合が発生し、このような「にじみ」や「ちらつき」は肉眼で判断して処理していた。

【0013】かかる「にじみ」や「ちらつき」を回避するためには、図5のCPU3にコンピュータ10からプログラム構成の外部信号301を入力し、このプログラムの制御の下にPLL回路2に対してクロック201、従って同期信号202の発生タイミングを調整するタイミング調整を施して「にじみ」や「ちらつき」を抑圧する画質調整をマニュアル(手動)操作するという、調整者の訓練を含む操作で行っていた。

【0014】画質調整のためのこのようなマニュアル操作は、人間の肉眼で判断した「にじみ」や「ちらつき」の確認に基づいて行われるので、見落としを含む個人差が排除できないという問題点があり、また調整時間も多く要し、かつ調整要領習得のための訓練を必要とする問題点があった。

【0015】本発明の目的は、上述した問題点を解決し、表示画像の「にじみ」や「ちらつき」の自動調整が可能となって調整者の訓練を含む調整時間の大幅な短縮が図れ、かつ調整者の個人差を根本的に排除しうるLCD画面調整方式を提供することにある。

【0016】

【課題を解決するための手段】上述した目的を達成するため、本発明は次の手段構成を有する。即ち、本発明のLCD画面調整方式は、パーソナルコンピュータのカラー表示用のアナログRGB出力信号をデジタル化し、

同期信号に基づいて液晶ディスプレイに表示したLCD画面に生ずる前記デジタル化におけるタイミングずれに起因して生起するLCD画面のにじみ、ちらつき等不具合を自動的に補正するLCD画面調整方式であって、前記アナログRGB信号に代えて前記LCD画面に生起する前記不具合の補正に供するアナログ形式の調整画面信号を専用ソフトウェアにより随時出力可能なパーソナルコンピュータと、外部から提供されるクロックで駆動し前記アナログRGB出力信号もしくは前記調整画面信号をデジタル化して前記液晶ディスプレイに出力するA-Dコンバータと、前記同期信号のタイミングで前記クロックを発生して前記A-Dコンバータ並びに前記液晶ディスプレイに供給するとともに、発生した前記クロックに基づいて前記液晶ディスプレイにおける画面表示のタイミングを設定する同期信号を出力するPLL回路と、前記PLL回路の出力するクロックにより前記A-Dコンバータの出力をフレーム単位かつR、G及びB各成分ごとに格納するフレームメモリと、LCD画面を表示するLCDと、制御プログラムを内蔵し全体の動作シーケンスを制御するCPUとを備える。

【0017】また、本発明のLCD画面調整方式は、パーソナルコンピュータの送出する前記調整画面信号が、白と黒の表示領域をそれぞれ前記液晶ディスプレイの1ドット対応で交互に形成する縦縞模様として表現したものであり、かつ前記A-Dコンバータによるデジタル変換で前記縦縞模様の白と黒とがそれぞれ、2値の論理値「1」と「0」とに変換されるものとした構成を有する。

【0018】さらに、本発明のLCD画面調整方式は、前記フレームメモリに格納される前記A-Dコンバータの出力のR、G及びB成分の含む信号の強弱と、前記LCD上の白色表示とに基づいて、白色表示において等しかるべき前記R、G及びB成分のレベルを同一のものに補正するホワイトバランス調整を施すことを可能とした構成を有する。

【0019】

【発明の実施の形態】パソコンの出力をカラー表示するLCDにあっては、パソコンから出力されるアナログRGB出力信号をA-D変換して表示している。このA-D変換では、A-D変換のためのクロックの発生と、発生したクロックとデジタルRGB出力信号との同期確保が必要となる。

【0020】クロックの発生はPLL回路により、またLCD画面表示における同期確保に必要な同期信号は、クロックの周波数減速に基づいて生成される。このPLL回路から出力されるクロックの生成タイミングの調整が正しく行われ、A-D変換のタイミング調整が正しく設定されていないと、表示画面に「にじみ」や「ちらつき」などの不具合が発生する。

【0021】従来、このような不具合を避けるクロック

のタイミング調整は、LCD画面を目視しつつ行うPLL回路の調整者によるマニュアルコントロールで行われていたため、調整者を訓練して処理していたが、画面の肉眼観察に基づいて行っているため調整者の主観的ばらつきが入り込み、また見落としも避けられず、調整時間も長大化することが避けられなかった。

【0022】本発明においては図1に示す如く、A-Dコンバータ1aの出力をフレーム単位で格納するフレームメモリ5を配置し、またパソコン本体からは、A-D変換により所定の論理値データ列を得るタイミング調整専用の標準調整画面信号104を送出し、この信号のA-Dコンバータ1aによるA-D変換出力としての論理値データ列をフレームメモリ5に格納して、論理値データ列の正常性の有無をCPU3aで判断してPLL回路2aのクロック発生のタイミングを調整することにより、調整者ごとのばらつきのない自動的かつ正確なタイミング調整を可能とすることを発明の実施の形態としている。

【0023】

【実施例】次に、本発明について図面を参照して説明する。図1は、本発明の一実施例の構成を示すブロック図である。図1に示す実施例は、アナログRGB出力信号101をデジタル化し、デジタルRGB出力信号102aとして送出するほか、パソコン本体からLCD画面調整の都度受ける標準調整画面信号104をデジタル化するA-Dコンバータ1aと、A-Dコンバータ1aのA-D変換に必要なクロック201と、デジタルRGB出力信号102aの表示に必要な同期信号202とを出力するPLL回路2aと、全体の動作を制御するCPU3aと、LCD4のほか、A-Dコンバータ1aの出力をフレーム単位で、かつ通常R、G、B成分ごとに格納可能なフレームメモリ5とを備え、図1には尚、パソコン本体としてのコンピュータ10を併記して示す。

【0024】次に、本実施例の動作について説明する。A-Dコンバータ1aは、通常の動作時にあっては、アナログRGB出力信号101をデジタル変換してデジタルRGB出力信号102aとなし、CPU3aの制御の下に、これをLCD4に表示せしめる。

【0025】LCD4上に表示される画面の「にじみ」や「ちらつき」等の画質的な不具合を抑止するために行う画質調整時には、A-Dコンバータ1aには標準調整画面信号104が、コンピュータ10から供給される。上述した画質調整時には、コンピュータ10に対して調整専用のソフトウェアが搭載される。このソフトウェアは、例えばフロッピーディスク形式で所定の標準調整画面データが関連プログラムとともに格納されたものとして随時搭載される運用形式で処理される。

【0026】図2は、標準調整画面を模式的に示した図であり、標準調整画面は、白と黒の領域を、表示画面の1ドットずつに対応させ、それぞれ交互に設定したもの

であり、画面全体としては縦縞模様として表現されるように構成される。

【0027】このようにして、調整専用のソフトウェア搭載による標準調整画面信号104がA-Dコンバータ1aに入力すると、これによって出力されるデジタル変換出力は、図3に示す標準調整画面信号102aのデジタル変換値として、図2の白、黒領域に対応した論理値「1」、「0」の論理値のデータ列として表現されるデジタル標準調整画面信号102aとなる。

【0028】この変換出力は、CPU3aの制御の下にフレームメモリ5に格納される。A-D変換におけるクロックのタイミングが正しく保たれていれば、標準調整画面信号104によるA-D変換出力のデジタル標準調整画面信号102aは、このように、例えば「101010……」として、図2の縦縞模様に対応した論理値データ列となる。

【0029】しかしながら、クロック201の発生タイミングがずれ、A-D変換のタイミングがずれていると、デジタル変換出力の論理値データ列は、例えば、「10010110……」などの如く乱れたものとなる。この状態を図4に示す。

【0030】CPU3aの読出し信号501によってフレームメモリ5の内容を読み出して、標準調整画面信号104によるA-D変換出力が「101010……」（もしくは、010101……）の正常な論理値データ列として得られない場合には、正常な論理値データ列が得られるようにPLL回路2aによるクロック201、従って同期信号202の発生タイミング制御をA-D変換出力が正常論理値データ列となるまで行ってタイミングずれを補正し、これによりLCD画面の「にじみ」や「ちらつき」等の画質不具合を補正する。

【0031】このようにして、A-D変換処理における変換タイミングずれを自動的かつ正確に補正し、画面の「にじみ」や「ちらつき」等による画質不全を自動的に改善することができる。尚、フレームメモリ5に格納されるデータは、通常はアナログRGB出力信号101で、画質調整時は標準調整画面信号104のA-D変換出力であるが、これらはフレーム単位で、かつ通常はR、G及びBの各成分ごとに格納される。こうして格納されるデータは、画質調整時にあっては前述した正しい論理値配列との照合で画質補正が可能となるが、格納データは、この他に信号の強弱、つまり明るさも示しているため、この結果を利用してLCD画面の白レベルを正しいものに調整する、いわゆるホワイトバランス調整も可能となる。

【0032】つまり、フレームメモリ5には通常、フレームごとのデジタルRGB出力信号が、それぞれ独立に格納されるが、R、G、及びB成分が同一レベルとなるべき「白」の画面データの場合のR、G及びB成分間のレベル差に基づいて生ずる白色からの色相のずれ

を、レベルバランスにより補正するホワイトバランス調整も容易に実施しうることは明らかである。

【0033】

【発明の効果】以上説明したように本発明によれば、LCDにおける表示画像のデジタル変換処理のタイミングずれによる「にじみ」や「ちらつき」を自動的に補正することを可能とすることにより「にじみ」や「ちらつき」の画面調整に要する時間を調整者の訓練も不要として著しく圧縮し、かつ調整者の主観によるばらつきを排除することができるLCD画面調整方式が実現できる効果有する。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示すブロック図である。

【図2】本発明の一実施例のLCD画質調整における標準調整画面を模式的に示す図である。

【図3】標準調整画面信号と、そのA-D変換出力信号とを示す図である。

*

*【図4】図3の標準調整画面のA-D変換のタイミングにずれを含む場合のデジタル変換出力信号の一例を示す図である。

【図5】従来のLCD入力生成回路の構成を示すブロック図である。

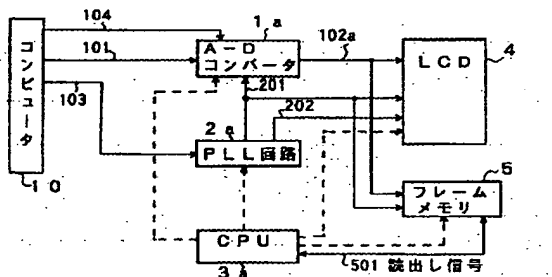
【図6】パソコンのアナログRGB出力信号の一例を示す電圧対時間特性図である。

【図7】従来のLCD入力生成回路による図6のアナログRGB出力信号のA-D変換におけるビット割当の一例を示す図である。

【符号の説明】

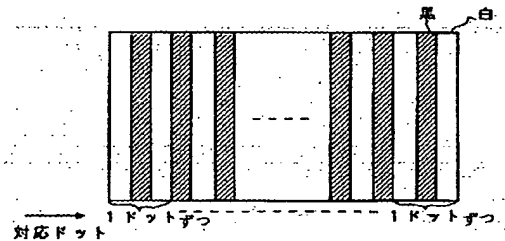
- 1, 1a A-Dコンバータ
- 2, 2a PLL回路
- 3, 3a CPU
- 4 LCD
- 5 フレームメモリ
- 10 コンピュータ

【図1】

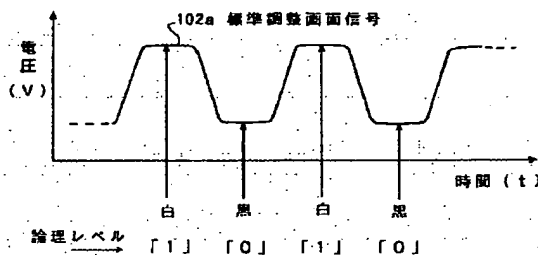


- 101: アナログRGB出力信号
- 102a: デジタルRGB出力信号/デジタル標準調整画面信号
- 103: 同期信号
- 104: 標準調整画面信号
- 201: クロック
- 202: 同期信号
- 信号ライン
- 制御ライン

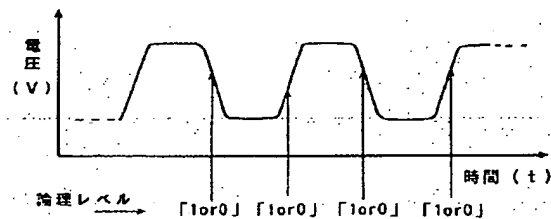
【図2】



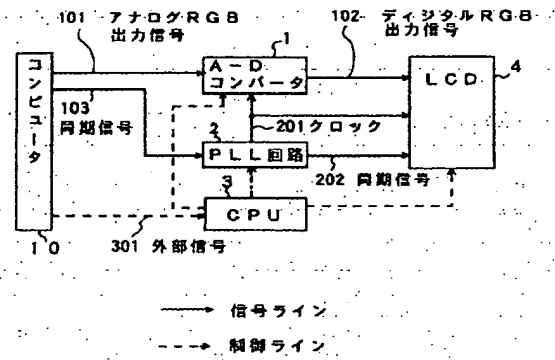
【図3】



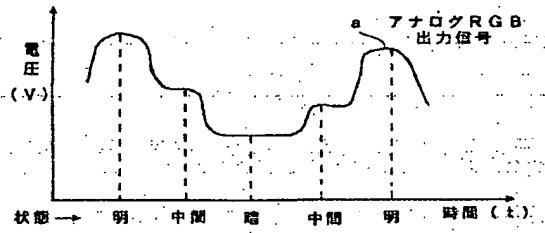
【図4】



【図5】



【図6】



【図7】

